

DRIVING CIRCUIT INTEGRATED DISPLAY DEVICE

Patent Number: JP10240149
Publication date: 1998-09-11
Inventor(s): ISHIZAWA HIDEICHIRO
Applicant(s): TOSHIBA CORP
Requested Patent: JP10240149
Application Number: JP19970047904 19970303
Priority Number(s):
IPC Classification: G09F9/00; G02F1/133; G02F1/1333; G09F9/30
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce an occupancy area and to improve the yield by forming a protective coat continuously covering a wiring layer arranged along a driving circuit and its periphery.
SOLUTION: A power supply line 112 is arranged along an outer peripheral of a signal line driving circuit 107 and a scanning line driving circuit 108, and a counter electrodes potential supply line 109 is arranged further outer periphery of the former one. A CMOS circuit consisting of nchTFT and pchTFT is formed in the driving circuits, and nchTFT is arranged in a matrix form in a display area for obtaining a picture element TFT for driving picture element electrodes. A picture element electrode 105 is formed by forming a transparent conductive film of indium-tin-oxide film(ITO) and patterning it. Mo/Al film is formed and patterned to form source/drain electrodes. At the same time, the power supply line 112 and the counter electrode potential supply line 109 are formed from same materials as the source/drain electrode. As passivation for protecting the circuit elements on an array substrate, a silicon coat is formed and a picture element aperture part and a pad part are opened.

Data supplied from the esp@cenet database - I2

Excerpt from
Japanese Patent Laid-Open Publication No. Hei 10-240149

[What Is Claimed Is:]

1. A drive circuit integrated type display device, comprising:

a first substrate having a display section including signal lines and scanning lines which are arranged in a matrix on a substrate and a pixel electrode which is disposed at an intersection of the signal line and the scanning line and is connected to the signal line via a thin film transistor;

a second substrate having a counter electrode, which is opposed to the pixel electrode, formed on an inner surface;

a drive circuit section which is formed in the same manufacturing step as that of the thin film transistor in the periphery of the display section on the first substrate, the drive circuit section driving the signal lines or the scanning lines;

a line layer disposed along the outer periphery of the drive circuit section; and

a protective film continuously covering the line layer and the drive circuit section.

2. A drive circuit integrated type display device according to claim 1, wherein the line layer is formed in the same manufacturing step as that of the signal lines.

3. A drive circuit integrated type display device according to claim 1, wherein the line layer is electrically connected to the counter electrode.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a flat display device such as a liquid crystal display device, and more particularly

to a drive circuit integrated type display device in which a drive circuit for driving such a display device is integrally formed on a substrate of the display device.

....

[0017]

Next, an indium tin oxide (ITO) film which is a transparent conductive film is formed and patterned to form a pixel electrode 105. Then, after an interlayer insulating film is formed using atmospheric pressure CVD, contact holes 301 of the TFT source and drain portions are formed (Fig. 3(a)).

[0018]

Further, Mo/Al is formed and patterned to form source and drain electrodes 302. In this step, the power source line 112 of the drive circuit and the counter electrode potential supply line 109 are also formed simultaneously using the same material as used for the source and drain electrodes (Fig. 3(b)).

[0019]

Finally, as a passivation film for protecting the circuit elements on the array substrate, a silicon nitride film 304 is formed and the pixel opening portion and pad portions are opened (Fig. 3(c)). Fig. 4 shows a cross section of a liquid crystal cell formed by disposing the array substrate 10 thus obtained and a counter substrate 20 such that they are opposed to each other. On the inner surface of the counter substrate 20, the counter electrode 111 is formed and is connected to the counter electrode potential supply line 109 on the array substrate 10 side via the conductive material 140 such as silver paste or the like.

Fig. 3

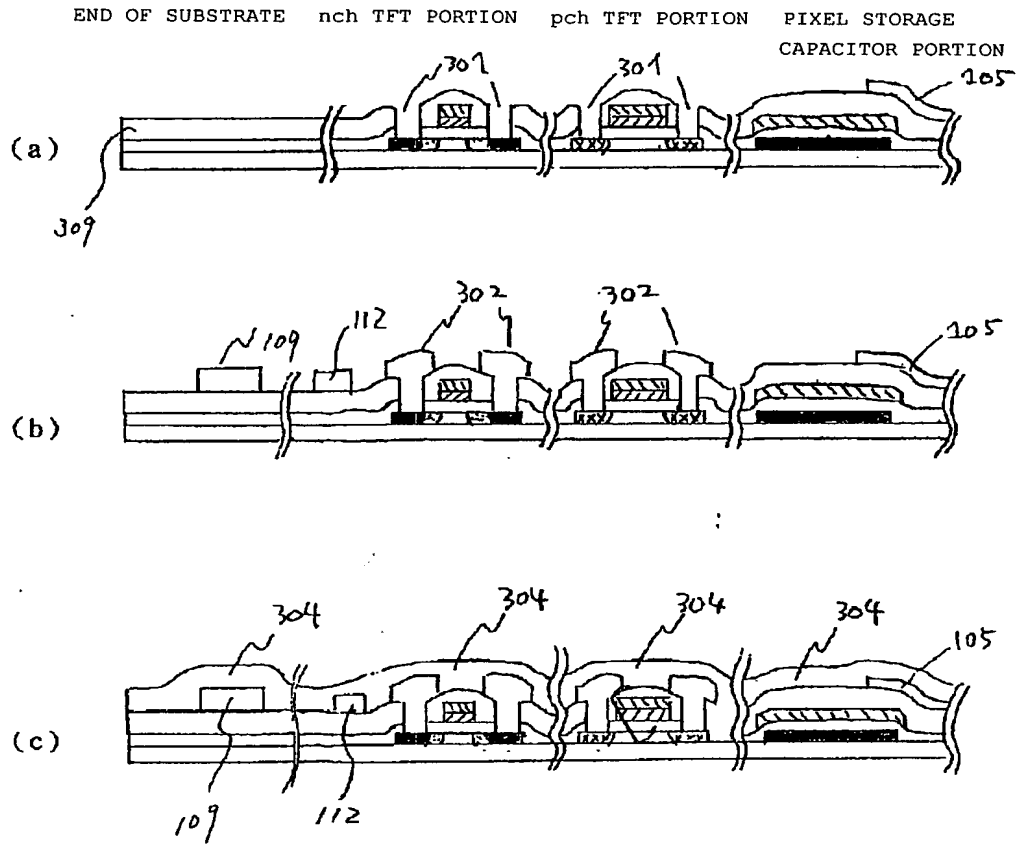
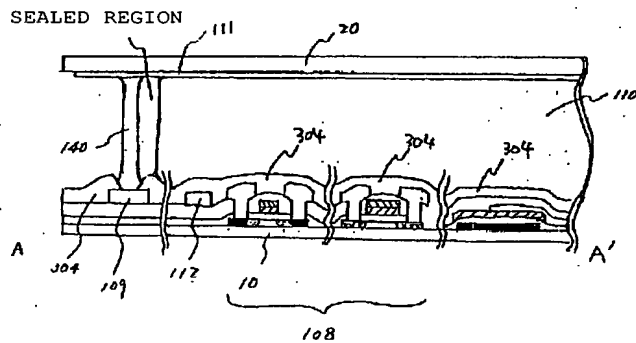


Fig. 4



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240149

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 F 9/00

3 4 6

G 0 9 F 9/00

3 4 6 E

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

1/1333

5 0 5

1/1333

5 0 5

G 0 9 F 9/30

3 4 3

G 0 9 F 9/30

3 4 3 E

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平9-47904

(22) 出願日

平成9年(1997) 3月3日

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

石沢 秀一郎

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(74) 代理人

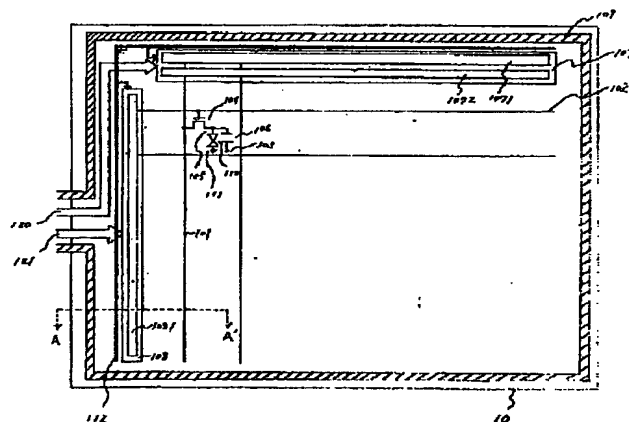
弁理士 外川 英明

(54) 【発明の名称】 駆動回路一体型表示装置

(57) 【要約】

【課題】 駆動回路一体型表示装置における駆動回路部の占有面積を軽減しかつ製造歩留りの高い駆動回路一体型表示装置を提供する。

【解決手段】 駆動回路部の外周部に配線を配置し、この配線と駆動回路部上に渡って連続的に保護膜を形成する。この配線は保護膜に製造工程中に発生するクラックの進行を駆動回路の手前で止める役割を果たす。



【特許請求の範囲】

【請求項 1】 基板上にマトリクス状に配設された複数の信号線及び走査線及び前記信号線と走査線の交点部分に配置され、前記信号線と薄膜トランジスタを介して接続される画素電極を含む表示部を有する第一の基板と、前記画素電極と対向する対向電極が内面に形成された第二の基板と、

前記第一の基板上の表示部周辺に前記薄膜トランジスタと同一工程で形成され、前記信号線または走査線を駆動する駆動回路部と、

前記駆動回路部の外周に沿って配置された配線層と、前記配線層及び前記駆動回路部を連続的に覆う保護膜とを備えたことを特徴とする駆動回路一体型表示装置。

【請求項 2】 前記配線層は、前記信号線と同一工程で形成されてなることを特徴とする請求項 1 記載の駆動回路一体型表示装置。

【請求項 3】 前記配線層は、前記対向電極と電気的に接続されていることを特徴とする請求項 1 記載の駆動回路一体型表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、液晶表示装置等の平面型表示装置に係り、特にこの表示装置を駆動する駆動回路が表示装置の基板上に一体的に形成された駆動回路一体型の表示装置に関する。

【0002】

【従来の技術】 近年、液晶表示装置の狭額縁化の要求に伴い、駆動回路の占有面積を低減させることが要求されている。特に駆動回路一体型の表示装置においては、駆動回路部からガラス基板端部までの距離を可能な限り縮小することが必要となる。

【0003】 一方、液晶表示装置の生産効率を向上させるため、一般的には大判のガラス基板に複数の表示部及びこれを駆動する駆動回路部を形成した後、この大判基板を単個の表示部及び駆動回路部に分割して切り出す工程が採用されている。

【0004】

【発明が解決しようとする課題】 ところが、大判基板を複数の基板に切り出す際に、駆動回路部を保護する保護膜が損傷するという問題が生じた。特に上記のように狭額縁化に対応して駆動回路からガラス基板端部までの距離が小さくなると、保護膜が駆動回路部の近くで損傷し、駆動回路に水分などの不純物が侵入して駆動回路の特性劣化を生じたり破壊させるおそれがある。この発明は、上記の技術的背景に鑑み、駆動回路部の占有面積を軽減しかつ製造歩留りの高い駆動回路一体型表示装置を提供することを目的とする。

【0005】

し、この配線層と駆動回路部とを連続的に覆う保護膜を形成したことを特徴とする。

【0006】 この構成を採用することにより、保護膜にクラックが発生した場合、配線層の部分でクラックが終端することが実験により判明した。この原因は明かではないが、保護膜とその下地の配線層との密着性が高いため、この配線層の内側の領域（表示部）に向かってクラックが進行できないものと推測される。

【0007】

【発明の実施の形態】 図 1 は、本発明による液晶表示装置のアレイ基板の各配線位置を示す概略平面図である。アレイ基板 10 の表示部領域には、信号線 101、走査線 102、及び補助容量線 103 がマトリクス状に配線され、信号線 101 と走査線 102 との各交差部近くには、スイッチング素子として TFT 104、この TFT に接続した画素電極 105 及び補助容量 106 が形成されている。画素電極 105 は、液晶 110 を介して対向電極 111 と容量結合して液晶容量を形成している。

【0008】 また、表示部領域の周辺には、信号線 101 に映像信号を供給する信号線駆動回路 107 及び走査線 102 に走査信号を供給するゲート線駆動回路 108 が形成されている。信号線駆動回路 107 は、シフトレジスタ 1071 及びこのシフトレジスタ 1071 から出力されるタイミング信号によって制御されるサンプルホールド回路 1072 を有し、この信号線駆動回路 107 には外部よりクロック等の制御信号及び映像信号 120 が入力される。シフトレジスタ 1071 は図示しないカスケード接続された複数段のフリップフロップにより構成され、このフリップフロップはクロックに基づきタイミング信号を順次次段のフリップフロップに転送する。そしてサンプルホールド回路 1072 は、このタイミング信号が入力されるタイミングで外部から入力される映像信号をサンプリングし、信号線 101 に出力する。尚図示しないが、サンプルホールド回路 1072 と信号線 101 との間には、通常バッファアンプが配置される。

【0009】 一方、走査線駆動回路 108 は、シフトレジスタ 1081 で構成され、外部からクロック等の制御信号及びシフトデータ 121 が入力される。シフトレジスタ 1081 は図示しないカスケード接続された複数段のフリップフロップにより構成され、このフリップフロップはクロックに基づきシフトデータを順次次段のフリップフロップに転送し、走査信号を生成して走査線 102 に出力する。尚図示しないが、サンプルホールド回路 1072 と信号線 101 との間及びシフトレジスタ 1081 と走査線 102 との間には、通常バッファアンプが配置される。

【0010】 そして、信号線駆動回路 107 と走査線駆動回路 108 の外側には、その外周に沿って駆動回路の

動回路107及び108を囲むように配置されている。

【0011】次に、図2(a)～(e)及び図3(a)～(c)を用いて、上記アレイ基板の製造工程を説明する。まず、図2(a)に示すようににおいて、 SiO_2 及び SiNx を積層したアンダーコート付きガラス基板201にプラズマCVD法でアモルファスシリコン薄膜を形成し、エキシマレーザ照射を行って、多結晶化シリコン膜202を得、その後エッチングを行いTFT部及び補助容量部の一部を形成し、常圧CVD法を用いて、ゲート絶縁膜及び補助容量の絶縁膜を形成するためのシリコン酸化膜203を成膜する。

【0012】次に図2(b)に示すようにスパッタ法によってMoW薄膜204を形成し、これをパターンニングして、nchTFTのソース領域、ドレイン領域及び補助容量電極を形成する予定のポリシリコン部を開口する。

【0013】その後、図2(c)に示すように、上記のMoW薄膜204をマスクとして用い、イオンドーピング法によりn型の不純物添加をゲート酸化膜スルーで行い、nchTFTのソース領域、ドレイン領域を形成すると同時に補助容量部のポリシリコン層205をメタル化する(図2-(c))。

【0014】次にもう一度 MoW薄膜206をスパッタ法で成膜した後、pchTFTのソース領域及びドレイン領域を開口する。これをマスクとし、イオンドーピング法によりp型不純物添加を行いpchTFTを形成する(図2-(d))。

【0015】次にpchTFTの部分はマスクをし、nchTFTのゲート及び補助容量部の電極を形成する。このとき、マスクの合わせマージンを考慮して、nchTFTのはじめの(下層)のMoW薄膜からなるゲートよりもゲート長さを短く(細く)パターンニングする。

こうすることでnchTFTのチャネルとゲートとの間にイントリンシックなポリシリコン領域がゲート酸化膜をつけた状態で露出する。

【0016】ここで再度、パターンニングされたMoWをマスクとし、n型の不純物をイオンドーピング法でライトドープすることで、LDD構造を持つnchTFTとMIM型の補助容量を形成することができる(図2(e))。これにより駆動回路部にnchTFTとpchTFTからなるCMOS回路を形成し、一方表示領域にはnchTFTをマトリクス状に配置して画素電極を駆動する画素TFTを得る。

【0017】次に、透明導電膜である酸化インジウム錫膜(ITO)を成膜、これをパターンニングして画素電極105を形成する。この後、層間絶縁膜を常圧CVDで形成後、TFTソース・ドレイン部のコンタクトホール301を開口する(図3(a))。

このとき同時に駆動回路の電源ライン112及び対向電極電位供給線109をソース/ドレイン電極と同一材料で形成する(図3(b))。

【0019】最後にアレイ基板上の回路素子を保護するパッシベーションとして窒化シリコン膜304を成膜、画素開口部及びパッド部を開口する(図3(c))。図4は、このようにして得られたアレイ基板10と対向基板20とを対向配置して液晶セルを構成した場合の断面図を示す。対向基板20の内面には、対向電極111が形成され、この対向電極111は銀ペースト等の導電材140を介して、アレイ基板10側の対向電極電位供給線109に接続される。

【0020】上記の構造を採用した結果、ガラス基板の端部近傍でパッシベーション膜である窒化シリコン膜304に製造工程中でクラックが発生した場合、このクラックの進行は対向電極電位供給線109の位置でとどまり、駆動回路までは達していないことが判った。これは、対向電極電位供給線109とパッシベーション膜の密着性が高いため、クラックがこの領域より内側に進行しなかったものと推測される。

【0021】尚上記実施例において、対向電極電位供給線109を最外周に配置せず、駆動回路の電源ライン112を駆動回路の外周に配置することにより、クラックの進行を止める役割を担わせることもできる。但し、電源ライン112を駆動回路の最外周に配置すると、駆動回路への接続のための引き回しが長くなり、基板上における駆動回路の占有面積が大きくなる場合もある。これを回避するためには、駆動回路を構成する素子群と独立の配線である対向電極供給線109を最外周に配置することが望ましい。

【0022】また、上記実施例においては、対向電極電位供給線109は信号線101と同一工程で作成されるため、製造工程を簡略化できる。また、クラックの進行を止める配線として、対向電極供給線109を兼用するため、新たな配線を基板上に設ける必要がなく、基板上の額縁サイズを小さくすることが可能となる。

【0023】

【発明の効果】この発明によれば、駆動回路部の占有面積を軽減しかつ製造歩留りの高い駆動回路一体型表示装置が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例における液晶表示装置のアレイ基板の平面図を示す。

【図2】図1のアレイ基板の製造工程を示す。

【図3】図1のアレイ基板の製造工程を示す。

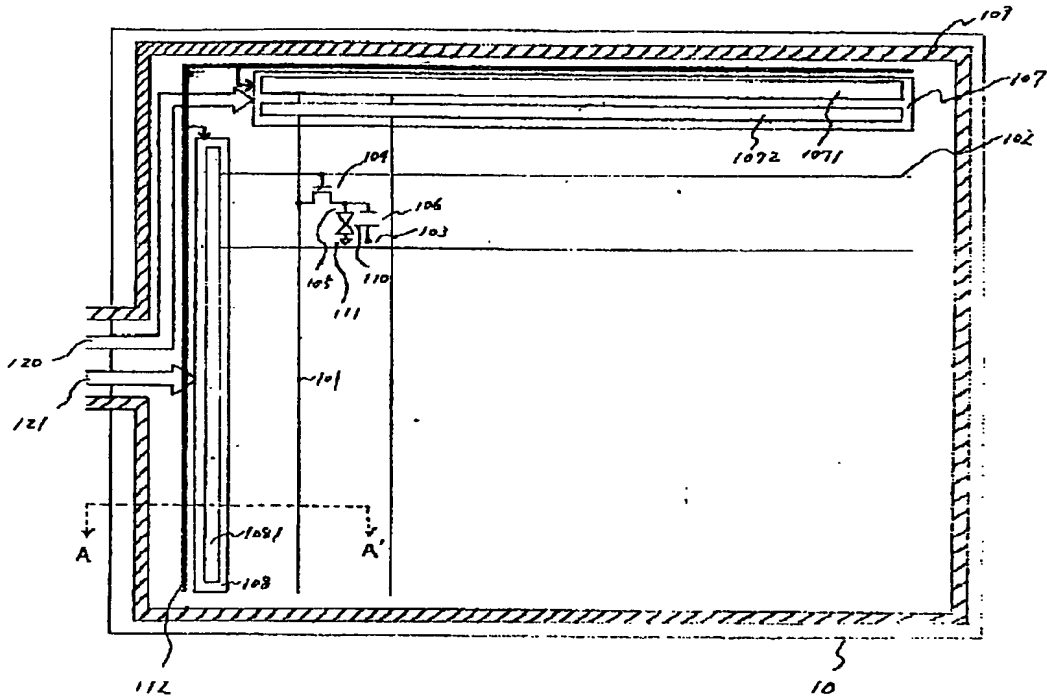
【図4】図1に示すアレイ基板を用いた液晶表示装置の断面図を示す。

【符号の説明】

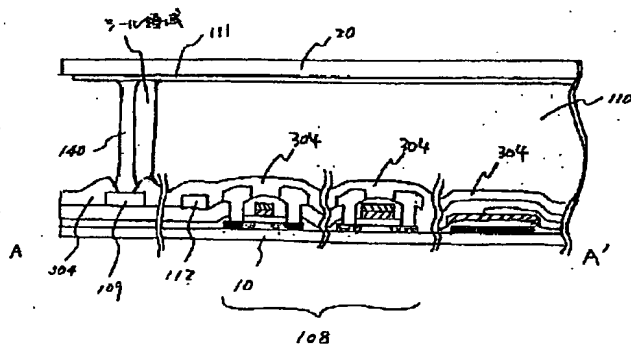
107…信号線駆動回路
108…走査線駆動回路

109…対向電極電位供給線
112…駆動回路電源ライン

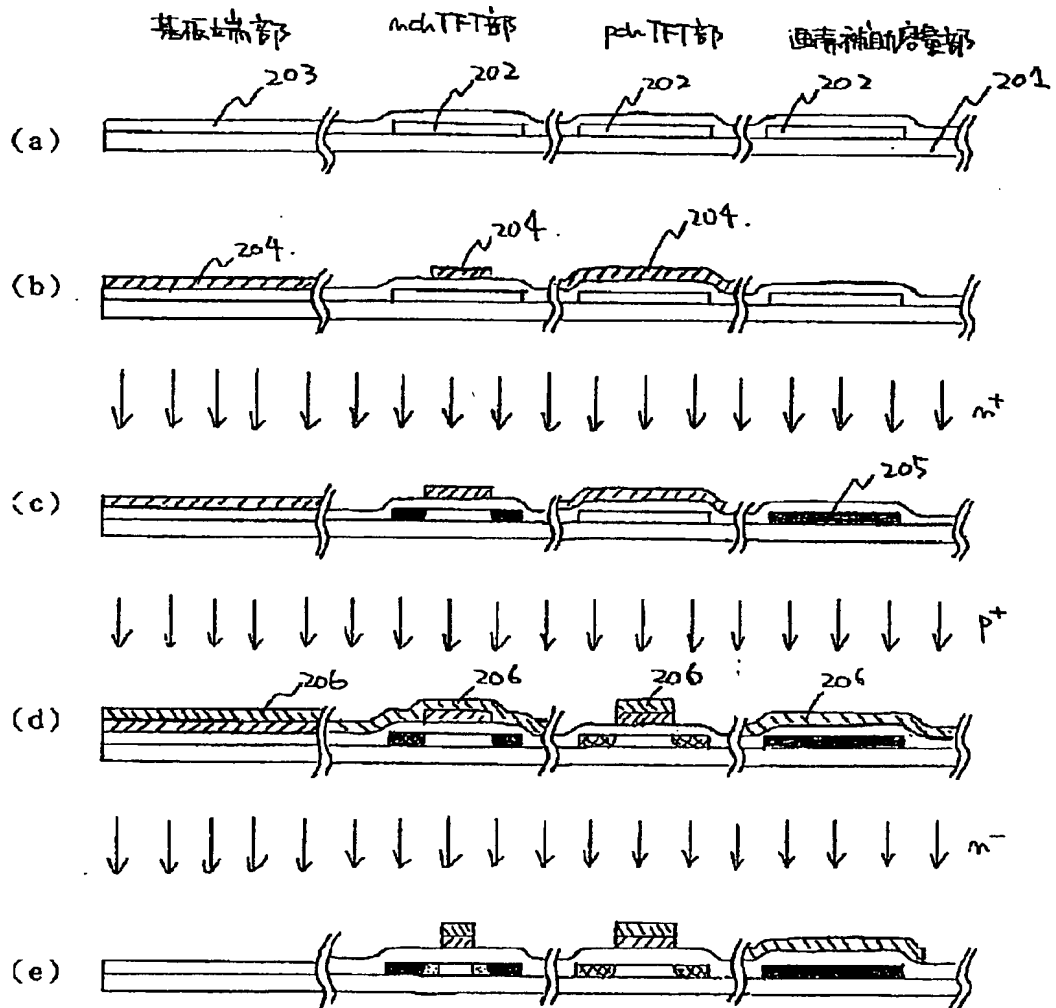
【図1】



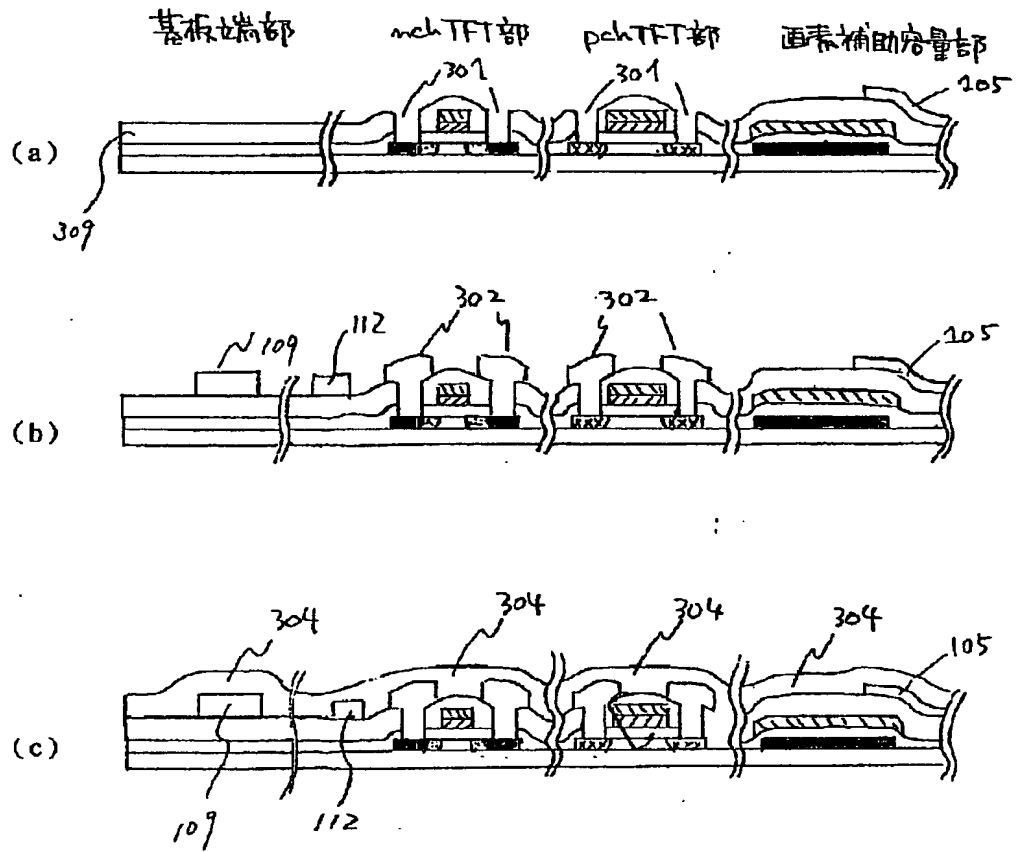
【図4】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.